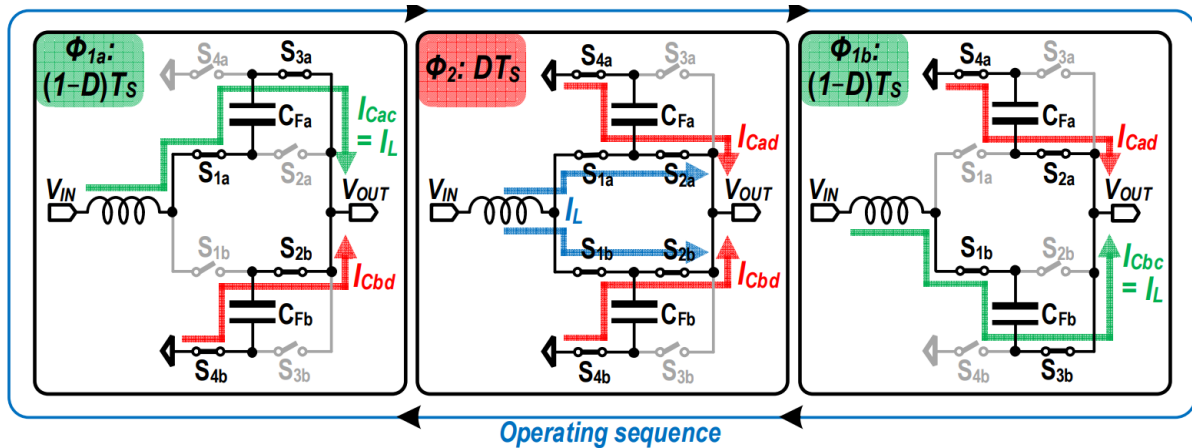


2023 IEEE VLSI Review

KAIST 전기 및 전자공학과 박사과정 배홍현

Session 11 DC-DC Converter

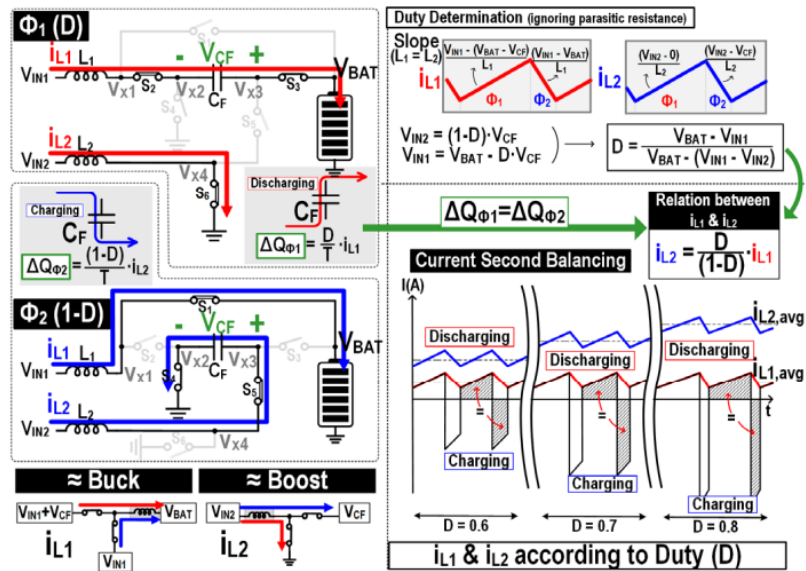
#11-1는 기존 Dual Path류 Hybrid DC-DC Converter가 가졌던 High Inrush Capacitor 전류 문제를 해결한 논문이다. 인덕터는 동일 인덕턴스 대비 DCR이 낮아질수록 부피가 매우 크게 증가하는 경향이 있어, 전력밀도와 효율 모두 높은 DC-DC Converter설계가 어렵다. 이를 해결하기 위해 캐패시터를 통한 전류 병렬 전달로 인덕터 전류를 줄일 수 있는 다양한 Multi-path Hybrid Converter들이 연구되었다. 하지만 종래의 Hybrid Converter들은 Duty에 의해 캐패시터를 통한 전하 전달 시간이 제한되기 때문에, 극한의 Duty에서 Capacitor Inrush 전류가 기하급수적으로 증가하게 된다. 이로 인해 극한의 Duty에서는 인덕터 전류의 감소가 많이 이루어지더라도, 캐패시터 전류로 인해 효율이 감소하는 문제가 있다.



[그림 1] 제안한 DC-DC컨버터의 구조 및 동작

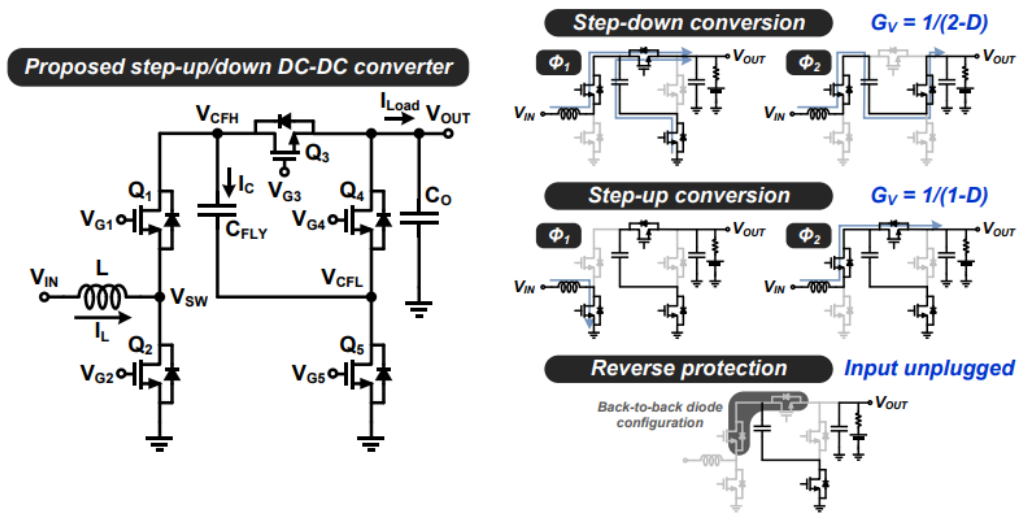
이를 해결하기 위해 본 논문에서는 그림1의 구조를 제안하였다. 제안한 Dual Path구조는 각 캐패시터들의 전하 전달시간을 한 주기 이상 확보함으로써 캐패시터 전류 스트레스를 완화하고 극한의 Duty에서도 높은 효율을 가질 수 있도록 하였다. 또한 항상 1개 이상의 Flying Capacitor가 출력에 병렬로 연결되어 출력 캐패시터 역할을 할 수 있기 때문에 별도의 출력 캐패시터가 필요없다는 장점이 있다. 본 논문은 기존의 하이브리드 컨버터 연구들에서는 깊게 다루지지 않았던 Capacitor Inrush Current에 대한 Issue를 지적하고 해결책을 제시했다는 점에서 의미가 있다고 할 수 있다.

#11-2는 연속적인 출력 전류 전달이 가능한 배터리 충전용 부스트 컨버터를 제안하였다. 배터리의 수명과 안정성을 확보하기 위해서는 최대 충전 전류를 제한하여야 한다. 따라서 충전시간을 최소화하기 위해선 최대치의 전류를 배터리에 연속적으로 전달하여야 하는데, 일반적인 부스트 컨버터의 경우 전류 전달 시간이 Duty에 의해 제한된다. 이를 해결하기 위해 본 논문에서는 2개의 입력으로 이루어진 그림2의 구조를 제안하였다. 2번 입력은 Conventional Boost Converter와 동일한 동작을 하여 Flying Capacitor의 전압을 정의하게 되는데, 해당 전압을 이용하여 1번 입력이 일반적인 벅 컨버터와 유사한 동작을 할 수 있도록 하였다. 따라서 1번 인덕터를 통해 Duty와 상관없이 출력에 연속적으로 전류가 전달될 수 있다. 이러한 특징으로 인해 다른 부스트 컨버터 대비, 매우 높은 출력 전류와 출력 파워를 달성할 수 있었던 것으로 보인다.



[그림 2] 제안한 DC-DC컨버터의 구조 및 동작

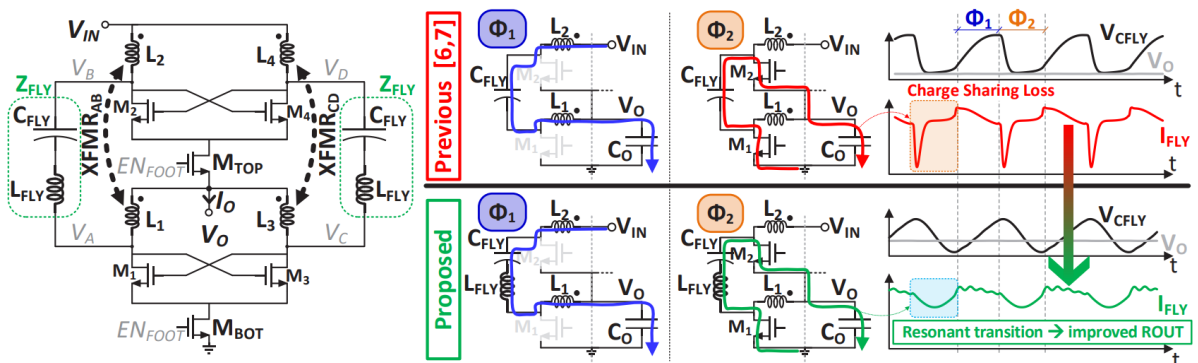
#11-3은 1-cell/2-cell 배터리 충전용 Buck-Boost Converter를 제안하였다. 제안한 구조는 Single Mode로 동작하는 일반적인 Buck-Boost와 달리 스위치 동작에 따라 Buck Mode, 혹은 Boost Mode로 동작 할 수 있도록 구성하여 Buck-Boost 동작을 구현하였다. 그림3에서 볼 수 있는 것처럼 Buck Mode에서는 일반적인 Dual Path Hybrid 구조와 유사하게 동작하고, Boost Mode에서는 Conventional Boost Converter와 동일한 동작을 하게 된다.



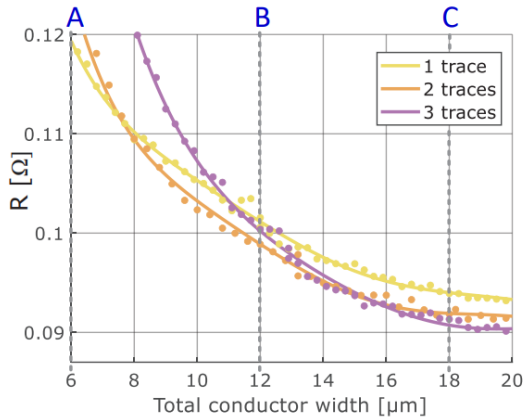
[그림 3] 제안한 DC-DC컨버터의 구조 및 동작

해당 구조는 Conventional Buck-Boost 대비 비교적 적은 추가 자원으로 (스위치 1개, 캐패시터 1개) 인덕터 전류와 리플을 줄임으로서 인덕터에서 일어나는 파워 손실을 줄였다. 다만, Boost Mode에선 Conventional Boost Converter 대비 큰 장점이 없다는 점이 아쉽다.

#11-4 기존에 발표한 논문 [6, 7] (본 논문의 reference)의 coupled class-d LC oscillator 구조의 DC-DC converter에서 Z_{FLY} 의 output resistance를 낮춰 높은 power density (=최대 $4.1W/mm^2$)와 peak power efficiency (=77%)를 달성한 논문이다. 기존 논문 [6, 7]은 이상적으로는 전력 소모가 없는 LC oscillator의 공진을 이용하여 파워 스위치($M_1 \sim M_4$)를 구동하여 69.4%의 peak efficiency와 $3.2W/mm^2$ 의 power density를 달성했다. 하지만 그림1의 오른쪽과 같이 Φ_2 동작에서 C_{FLY} 와 C_O 이 연결될 때 cap-to-cap에서 hard charging을 하여 전력 변환 효율이 제한되는 문제를 가진다. 이번에 발표된 논문은 C_{FLY} 에 직렬로 L_{FLY} 를 추가하여 Φ_2 동작에서 C_{FLY} - L_{FLY} - C_O 의 soft charging 동작을 하며, 이를 통해 같은 구조에서 더 높은 전력 변환 효율을 가져갈 수 있었다 ($69.4\% \rightarrow 77\%$).



[그림 2] (좌) #11-4 논문에서 제안하는 DC-DC converter (우) L_{FLY} 를 추가하여 기존 구조 대비 hard charging 동작이 soft charging으로 바뀌는 원리

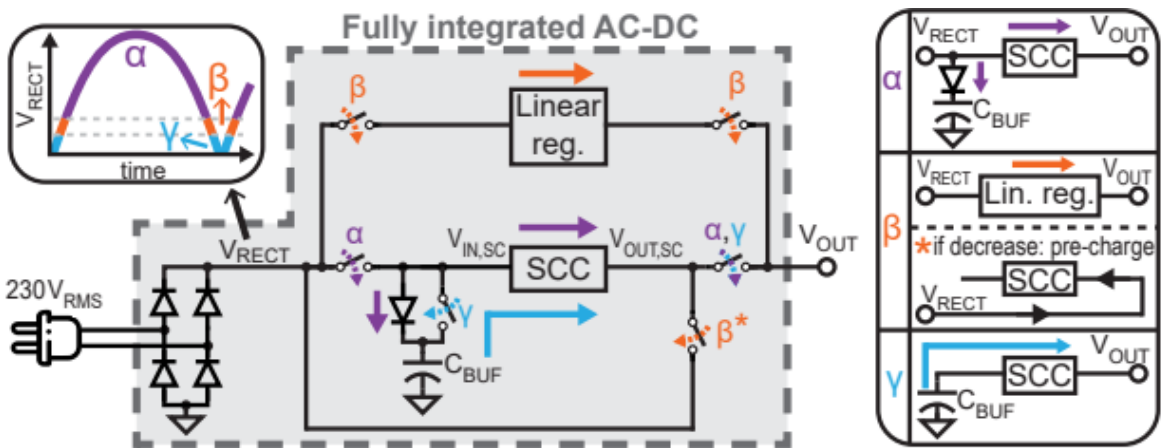


[그림3] Metal width 및 trace 수에 따른 L_{FLY} 의 resistance 그래프

L_{FLY} 는 왼쪽 그림3과 같이 공진 주파수 ($=1.5\text{GHz}$)에서의 resistance를 가진다. Skin effect(주파수가 높아질수록 전류가 표면에서 흐르는 현상)를 고려하여 L_{FLY} 의 metal width와 trace를 정했으며, 빨간색 원 지점으로 설계되었다. L_{FLY} 가 73pH 의 작은 inductance에 비해 $100\text{m}\Omega$ 의 다소 큰 resistance를 가지지만, 그렇더라도 C_{FLY} 와 C_0 이 hard charging에 의한 R_{OUT} 이 더 크게 보이기 때문에 본 논문에서는 7% 수준의 전력 변환 효율 개선을 보여준다.

Session 17 Power Management Circuit

#17-1는 높은 Power Density를 가지면서 Fully Integrated AC-DC 컨버터를 제안하고 있다. 종래에 연구된 AC-DC 컨버터들은 출력에 전달할 수 있는 파워량이 적어 Power Density가 떨어지거나, 인덕터와 같은 큰 사이즈의 수동소자의 존재로 집적도가 떨어진다는 단점이 있었다. 본 논문에서는 높은 집적도와 Power Density를 달성하기 위해 그림4와 같은 시스템을 제안하였다.

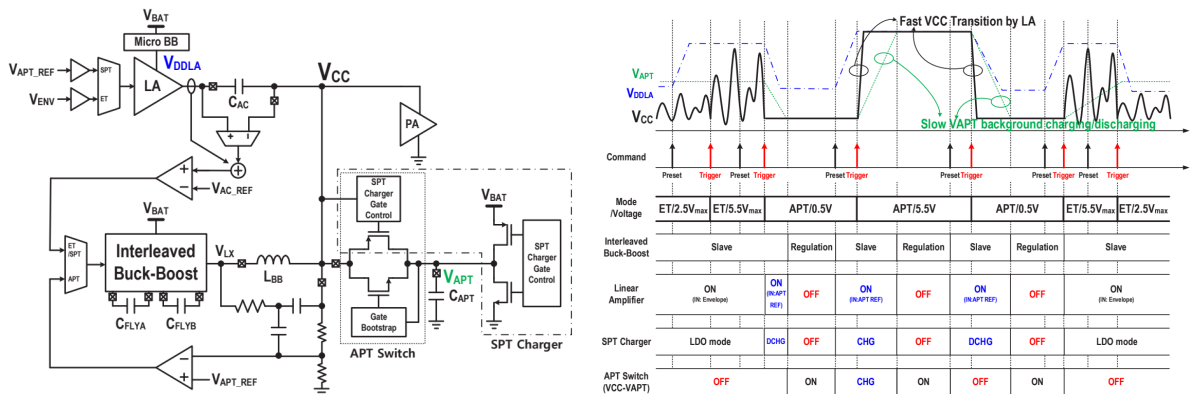


[그림 4] 제안한 시스템의 개요

제안한 시스템은 기존 Capacitive Divider 방식의 낮은 Power Density를 극복하기 위하여 Reconfigurable한 Switched-Capacitor DC-DC Converter(SCC)를 사용하여 AC-DC Conversion을 구현하였다. SCC의 입력은 정류기의 출력 전압과 정류된 전압의 Peak Voltage 정보가 저장된 Buffering Capacitor와의 연결을 번갈아가면서 하게 되는데, 입

력 전환이 이루어지는 동안에는 Linear Regulator를 통해 파워 전달이 되도록 시스템을 구성하였다. 제안한 시스템을 통해 본 논문은 Fully Integrated된 다른 AC-DC Converter 대비 5000배 이상의 매우 높은 Power Density를 달성하였다.

#17-2 Symbol Power Tracking(SPT)에 집중한 삼성의 supply modulator 논문이다. SPT의 개념은 ISSCC'19 [4]에서 발표되었다. 하지만 이번 논문은 전력 소모가 크고 빠른 스피드를 가지는 linear amplifier(LA)를 RF PA의 상황에 따라 국부적으로 사용해서 시스템적으로 효율적인 전력 변환 효율을 가지면서 동시에 V_{CC} (RF PA의 supply)를 빠르게 가변하여 SPT 구간에서 발생하는 error vector magnitude(EVM)의 저하를 방지하였다.



[그림 5] (좌) 논문에서 제안하는 Supply Modulator 구조 (우) RF PA에 따른 SM의 동작 시나리오

논문에 제안하는 시스템을 요약하면 DC 전류의 공급을 담당하는 Interleaved Buck-Boost, 빠른 AC 전류의 공급을 담당하는 LA와 APT mode에서 C_{APT} 에 전류를 공급하는 SPT charger 이렇게 세가지로 구성된다. SM이 ET mode일 때 LA와 Interleaved Buck-Boost를 통해서 V_{CC} 를 레귤레이션 한다. 그 외에 SM이 SPT mode일 때 LA는 V_{CC} 를 가변할 때만 사용 후 DC 레귤레이션에서는 LA에서는 전류를 더 공급하지 않는다. DC 레귤레이션은 전력 변환 효율이 좋은 Interleaved Buck-Boost와 C_{APT} (=4.7 μ F)를 사용해서 V_{CC} 를 레귤레이션하며 최대 94.6%의 높은 효율을 가진다. V_{CC} 를 가변할 때 V_{APT} 또한 V_{CC} 에 맞춰서 전압을 가변할 필요가 있으며, 이는 SPT charger를 통해 V_{CC} 보다 낮은 속도로 이루어진다. 따라서 V_{CC} 가변시 V_{APT} 가 가변된 V_{CC} 를 따라올 때까지 LA에서 V_{CC} 에 전류를 공급하며, V_{APT} 가 V_{CC} 를 따라오면 LA는 더 이상 동작하지 않는다. V_{DDLA} (LA의 supply) 또한 V_{CC} 의 전압 레벨에 따라 micro buck-boost를 통해 가변된다. V_{CC} 전압이 V_{BAT} 보다 큰 경우 SPT charger로 V_{APT} 를 V_{BAT} 이상으로 올릴 수 없다. 따라서 APT switch에서 PMOS FET을 활용해서 V_{APT} 에 전류를 공급하고 V_{APT} 를 V_{CC} 까지 전압을 올리게 된다. 이번에 발표된 논문을 정리하면 기존에 ET mode에서만 사용하던 LA를 SPT transition에도 국부적으로 활용하여 circuit overhead를 크게 줄이고 EVM 저하도 막을 수 있는 좋은 SM 구조라고 볼 수 있다.

저자정보



명예기자 배홍현

- 소 속 : KAIST 전기 및 전자공학과 박사과정
- 연구분야 : Fast & Fully-integrated DC-DC Converter
- 이 메 일 : hongbae2004@kaist.ac.kr
- 홈페이지 : icdesignlab.net

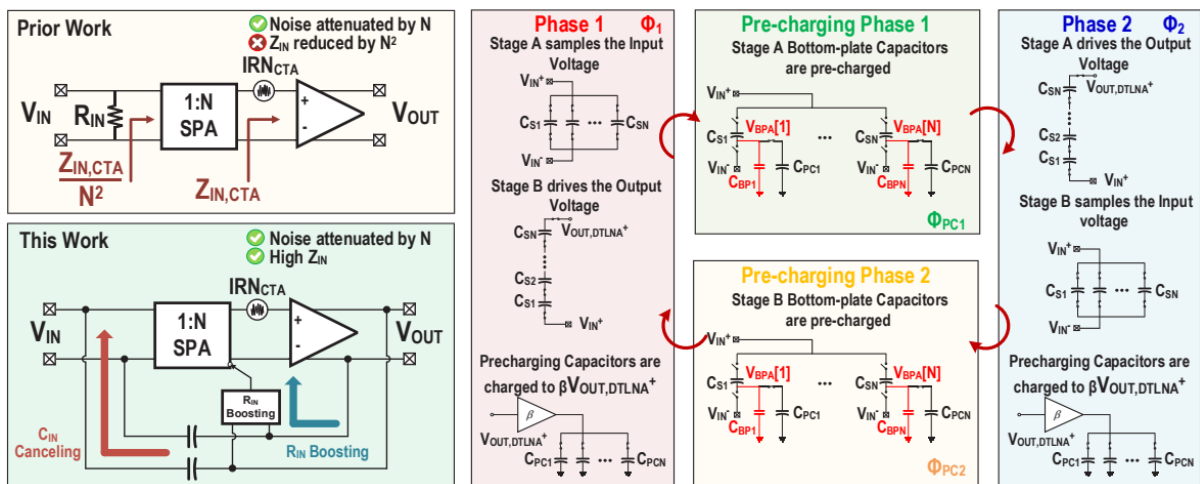
2023 IEEE VLSI Review

KAIST 전기및전자공학부 박사과정 임규완

Session 19 Analog Circuit Techniques

“Analog Circuit Techniques” 라는 주제로 만들어진 이번 VLSI의 19번 session에서는 총 5편의 논문이 발표되었다. FIR filter, discrete-time amplifier, 4-stage amplifier, class-D speaker driver, frequency analyzer 등의 매우 다양한 주제로 5개의 논문이 발표되었다. 이번 review에서는 2개의 amplifier에 대해 살펴보겠다.

19-2



[그림 1] 논문에서 제안하는 discrete-time amplifier 구조 및 동작방식

19-2번 논문은 기존의 sub-threshold biasing 된 differential-input stage 구조를 가지는 amplifier에서 대략 1~2 사이로 limitation이 걸리는 NEF (noise efficiency factor)을 1 이하로 낮추기 위해 (낮을수록 좋은 지표임) 이전에 제시된 구조인 passive capacitor based series-parallel amplifier (SPA) 를 사용하고, 이의 단점으로 지적된 낮은 input impedance를 높이는 방법을 제안하였다.

[그림 1]의 왼쪽에 나와있는 그림은 기존의 SPA를 사용하는 구조의 장단점과 새로이 제안된 구조를 보여준다. 기존의 SPA 기반 구조는 continuous-time amplifier (CTA) 앞쪽에 N 배의 gain을 가지는 SPA를 사용하여 limitation이 걸리는 CTA의 input-referred noise를

N배 감소시켜 NEF의 이론적 limitation을 돌파하였다. 다만, 이러한 구조는 N배의 gain을 가지는 passive SPA의 사용으로 인해 CTA의 input impedance가 N의 제곱배로 감소하여 SPA 입력에 나타나게 된다는 단점이 있다. 이에 더해, SPA의 구조에서 필연적으로 존재하는 capacitor bottom-plate parasitic capacitor (C_{BP})로 인한 charge loss가 증가적으로 저항으로 보이면서, SPA의 입력 저항이 C_{BP} 에 비례하여 낮아진다는 단점이 존재한다.

이에 따라, 본 논문에서는 입력 임피던스를 높이기 위해 [그림 1]의 오른쪽에 나와있는 SPA 구조를 제시하였다. 이는 앞서의 구조에서 단점으로 지적되었던, C_{BP} 에 의한 입력 저항의 감소를 보상하는 구조로써, 2개의 SPA – stage A, stage B – 를 사용하였다. 각 stage는 series-parallel 연결 phase를 반대로 가져가서 하나의 stage가 series로 연결되어 driving 하는 중에 다른 stage가 입력 전압을 charging 하도록 구성된다. 입력 저항의 감소를 보상하는 방법은, parallel에서 series 연결로 capacitor 연결이 전환될 때, pre-charging phase를 삽입하여, capacitor의 bottom plate capacitor 전압을 series로 연결될 시점의 전압으로 미리 charging 시키는 방법을 사용했다.

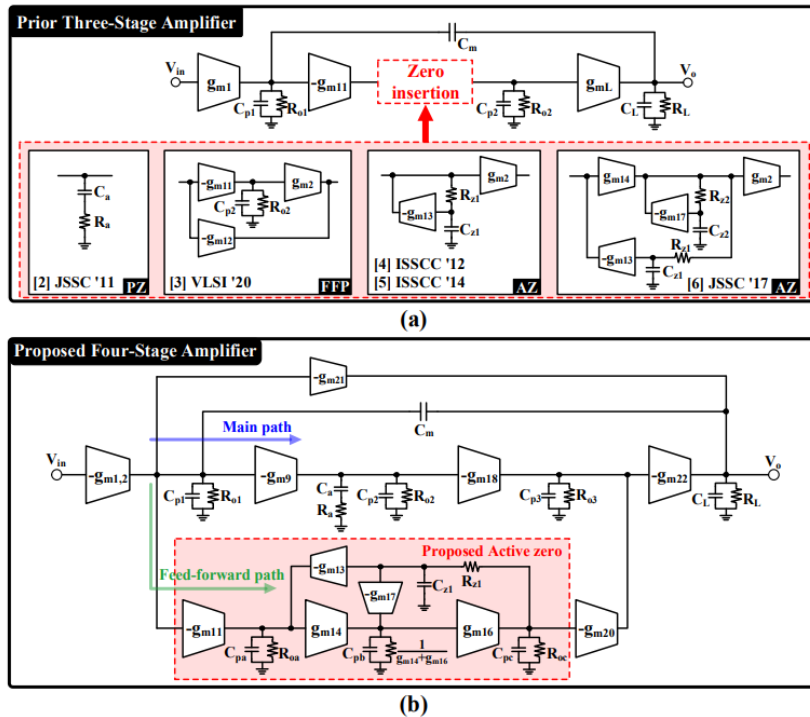
이러한 방법을 사용하면, capacitor가 series로 연결될 때 CBP로 들어가는 charge가 사라지므로, input의 effective한 저항이 크게 증가하게 된다. 다만, 이러한 방법은 C_{BP} 의 크기와 이를 charging 시킬 capacitor – C_{PC} – 의 크기에 매우 크게 영향을 받기 때문에, calibration이 필수적으로 필요하다는 단점이 존재한다.

	This work		Atzeni VLSI 2022	Jang VLSI 2018	Mueller JSSC 2015	Shen JSSC 2018	Mondal JSSC 2020
	DTLNA & CTA1	Total AFE					
Technology	22 nm		55 nm	180 nm	65 nm	180 nm	180 nm
CTA/DTA	DTA		DTA	DTA	CTA	CTA	CTA
Supply (V)	0.6, 1		0.9, 1.4	1.2	0.5	1	1.35
Area (mm ²)	0.21		0.41	0.073	0.025	-	0.24
Gain (dB)	47.6	6 - 85	23 - 80	30 - 60	30	25.6	36
Bandwidth (kHz)	10		10	8	0.5	10	0.24
Power (μW)	0.24	0.37	0.74	5.5	2.3	0.25	0.187
Noise Floor (nV/√Hz)	8.6	9.1	15	24.5	58	-	158
IRN (μV _{RMS})	1.30	1.36	2.46	2.3	1.3	6.7	3.07
NEF	0.27	0.34	0.76	2.2	4.76	1.07	0.86
PEF	0.06	0.1	0.67	5.8	11.3	1.14	0.99
Input Impedance [MΩ]	389		10	147	28	-	93
THD [dB] (V _{IN} [V _{PP}])	-54 dB (10 mV)		-	-40 (5 mV)		-	-56 (17 mV)
CMRR (dB)	70		82	77	88	84	95
PSRR (dB)	78		76	70	67	76	68

[표 1] 성능 비교표

성능 비교표를 살펴보면, 본 논문은 0.34의 매우 우수한 성능의 NEF를 달성하면서, 369M Ω의 높은 input impedance를 가지는 것을 알 수 있다.

19-3

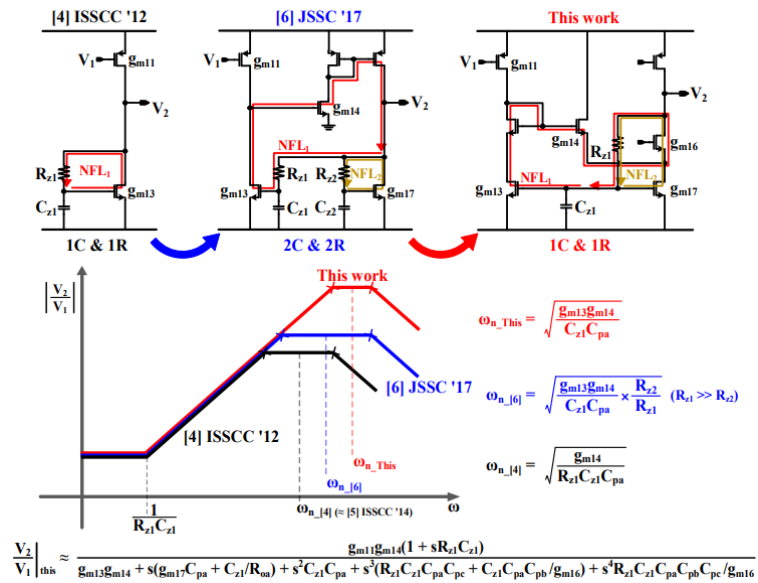


[그림 2] (a) 기존 3-stage amplifier과 이의 보상구조 (b) 논문에서 제안한 4-stage amplifier 및 이의 보상구조

19-3번 논문은 낮은 supply 전압에서도 높은 DC gain을 가지고 높은 capacitor driving 능력을 가지는 4-stage amplifier 구조를 제안하였다. 일반적으로 supply 전압이 낮아지면 amplifier의 gain은 낮아지게 된다. 낮은 supply 전압에서는 일반적으로 사용되는 cascode amplifier 등을 사용하지 못하기 때문에 multi-stage 구조를 사용하는 것이 좋으나, 이는 일반적으로 amplifier 내부에 존재하는 여러 pole 때문에 stable 하지 못하다는 단점이 있다.

[그림 2] (a)에서 볼 수 있는 이전에 제안되었던 여러 3-stage amplifier들은 대부분 miller feedback loop (MFL) 내부에 passive zero (PZ) 또는 active zero (AZ) 등을 삽입하거나, feed-forward path를 사용하여 zero를 삽입하여 MFL의 stability를 확보하였다.

[그림 2] (b)에서 볼 수 있듯, 19-3번 논문은 이전에 제안되었던 AZ 회로를 더욱 발전시켜 AZ가 가지는 자체적인 complex pole을 더욱 고주파로 보냈다. 또한, 저주파에서는 PZ 방식을 사용하고, 이로 인해 생기는 고주파 pole을 feed-forward path를 통해 보상하였으며, feed-forward path에 제안한 AZ를 사용하여 feed-forward path의 출력에서 생기는 pole을 보상하였다.



[그림 3] 논문에서 제안한 AZ 회로

논문에서 제안한 AZ 회로는, 기존의 논문에서 제시된 바와 동일한 방법으로 zero를 형성하지만, zero를 만드는 loop (NFL1)의 dominant pole을 NFL2를 이용하여 고주파로 보내고, 이로 인해 NFL1의 bandwidth가 넓어져서 AZ에서 만들어지는 complex pole이 더욱 고주파에 형성된다는 장점이 있다. 다만, 이러한 방법은 NFL1의 dominant pole이 고주파로 이동함에 따라 NFL1의 non-dominant pole이 NFL1의 stability에 영향을 미칠 가능성이 있고, 이를 방지하기 위해 전력소모가 늘어날 수도 있을 것으로 보인다.

	[2] JSSC '11	[3] VLSI '20	[4] ISSCC '12	[5] ISSCC '14	[6] JSSC '17	This Work
Technology (μm)	0.35	0.18	0.35	0.18	0.18	0.18
Chip Area (mm ²)	0.02	0.0046	0.016	0.007	0.013	0.0095
Supply Voltage (V)	1.5	1	2	0.9	1.2	1
DC gain (dB)	110	>120	>100	>100	>100	>120
Load CL (pF)	150	1,300	15,000	500	15,000	12,000
GBW (MHz)	4.4	0.68	0.95	1.34	1.18	1.07
Phase Margin (deg)	57	60.3	52.3	52.7	59.6	52
Average SR (V/μs)	1.8	0.398	0.22	0.62	0.22	0.358
Power (μW@VDD)	30@1.5	6.7@1	144@2	6.3@0.9	69.6@1.2	20.7@1
Total Capacitance (pF)	1.6	0.4	2.6	0.87	1.52	2.2
FOM _S [(MHz·pF)/mW]	22,000	131,940	98,656	106,349	305,172	620,290
FOM _L [(V/μs·pF)/mW]	9,000	77,223	22,917	49,206	56,897	207,536
LC-FOM _S [MHz/mW]	13,750	329,850	37,945	122,240	200,771	281,950
LC-FOM _L [(V/μs)/mW]	5,625	193,060	8,814	56,589	37,432	94,335

[표 2] 성능 비교표

19-3번 논문은 제안된 새로운 AZ와 보상 방법으로 인해, GBW와 load cap CL, 전력소모를 비교하는 FOM_S와 slew rate, CL, 전력소모를 비교하는 FOM_L에서 매우 높은 성능을 보여주었다.

저자정보



명예기자 임규완

- 소 속 : KAIST 전기및전자공학과 박사과정
- 연구분야 : Display Driver IC, Readout IC
- 이 메 일 : limkw@kaist.ac.kr
- 홈페이지 : <https://ICdesignlab.net>